



Examen Electronique – Transistor MOS et fonctions logiques

[SI-S4-ELEC-4-TMOS]

Les calculatrices et les documents ne sont pas autorisés. Le barème est donné à titre indicatif.

Réponses exclusivement sur le sujet - Si vous manquez de place, utilisez le verso des pages.

Q1. (2 points)

Rappeler les conditions de passage (canal Drain Source conducteur) et de blocage (canal Drain Source non conducteur) pour les MOSFET Canal N et P.

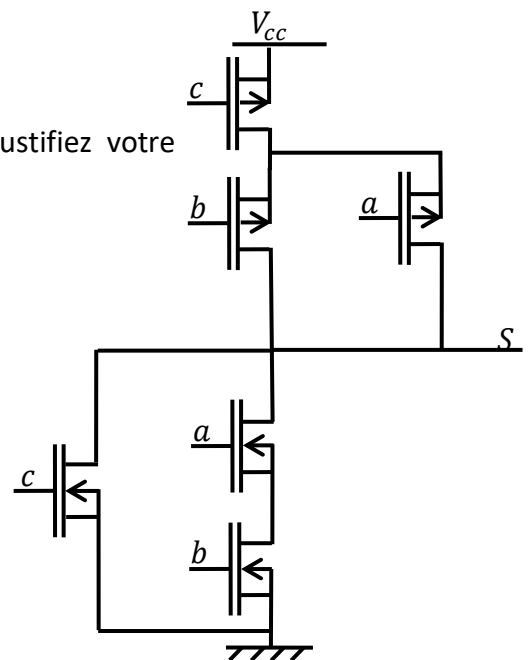
MOSFET Canal N : $\begin{cases} \text{Bloqué si } v_{gs} = 0V \\ \text{Passant si } v_{gs} = 5V \end{cases}$

MOSFET Canal P : $\begin{cases} \text{Bloqué si } v_{gs} = 0V \\ \text{Passant si } v_{gs} = -5V \end{cases}$

Q2.(4 points)

On considère le montage ci-contre.

Donnez l'expression de la fonction logique ainsi réalisée. Justifiez votre réponse.



Il faut tout d'abord vérifier sur le montage proposé est bien complémentaire.

On a :

$\begin{cases} P_c \text{ en série avec } P_b // P_a \\ N_c \text{ en // avec } (N_b \text{ en série avec } N_a) \end{cases}$

Le montage est donc bien complémentaire. Si la sortie n'est pas reliée à V_{cc} , alors elle le sera à la masse.

On aura donc :

$V_{OUT} = V_{cc}$ ssi $(P_c \text{ ET } (P_b \text{ OU } P_a))$ conducteurs

ssi $(V_{gsP_c} = -5V \text{ ET } (V_{gsP_b} = -5V \text{ OU } V_{gsP_y} = -5V))$

ssi $(V_c = 0V \text{ ET } (V_b = 0V \text{ OU } V_a = 0V))$

ssi $(c = 0 \text{ ET } (b = 0 \text{ OU } a = 0))$

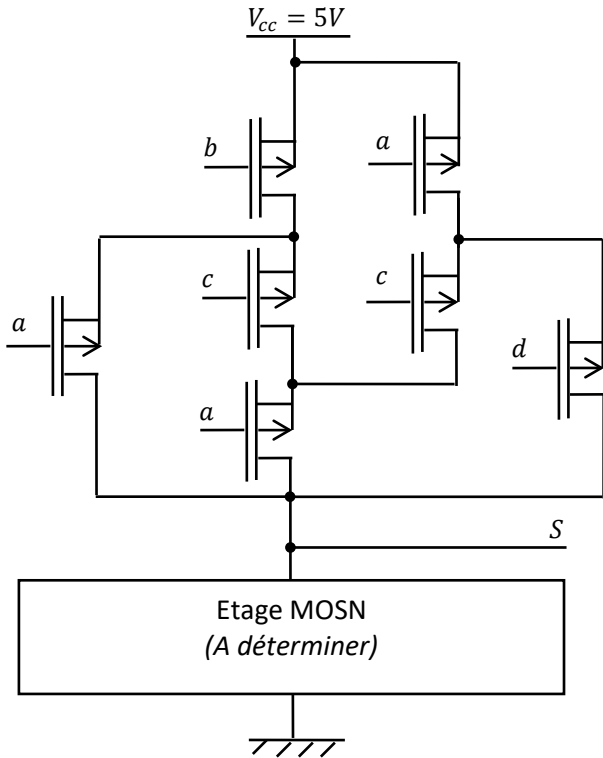
Ce qui nous donne donc l'équation logique suivante :

$$S = \bar{c} \cdot (\bar{b} + \bar{a})$$

Q3.(7 points)

Soit le montage suivant : Il correspond à une fonction logique réalisée en technologie CMOS.

Déterminer l'équation logique correspondant à cette fonction (justifiez votre réponse), puis, après l'avoir simplifiée (l'équation (!)), redessiner le schéma COMPLET de la porte logique, y compris l'étage MOSN, non dessiné sur le montage initial.



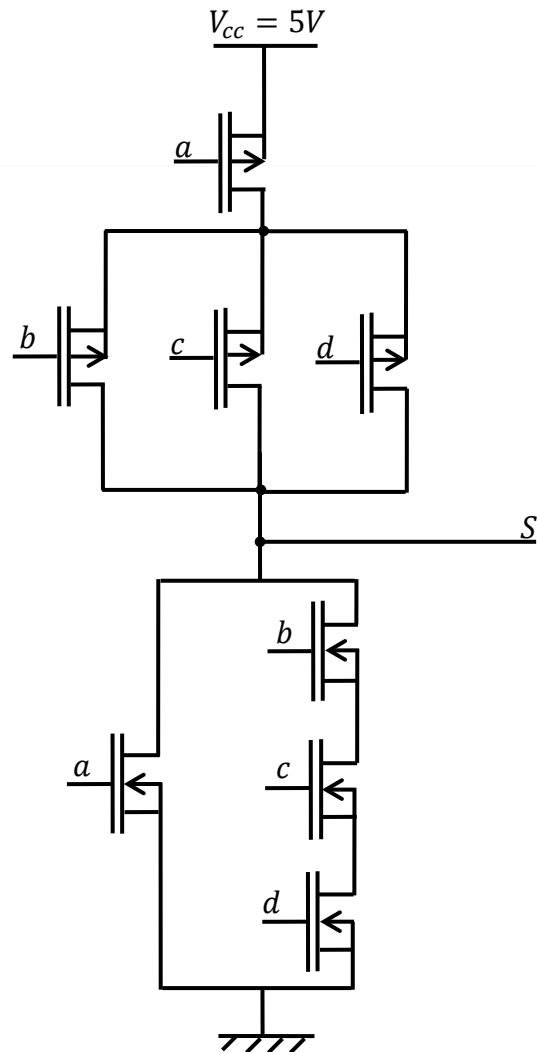
Comme la fonction logique est, par hypothèse, réalisée en technologie CMOS, il y a complémentarité, c'est-à-dire que, si la sortie n'est pas reliée à la masse ($S = 0$), alors, elle ne sera à V_{cc} ($S = 1$).

$S = 1$ si (P_b ET (P_a OU P_c ET P_a sont conducteurs)
OU (P_a ET (P_c ET P_a) OU P_d sont conducteurs)

$$\Rightarrow S = \bar{b}.(\bar{a} + \bar{a}.c) + \bar{a}.(\bar{c}.a + \bar{d})$$

$$\Rightarrow S = \bar{b}.\bar{a} + \bar{c}.\bar{a} + \bar{a}.\bar{d}$$

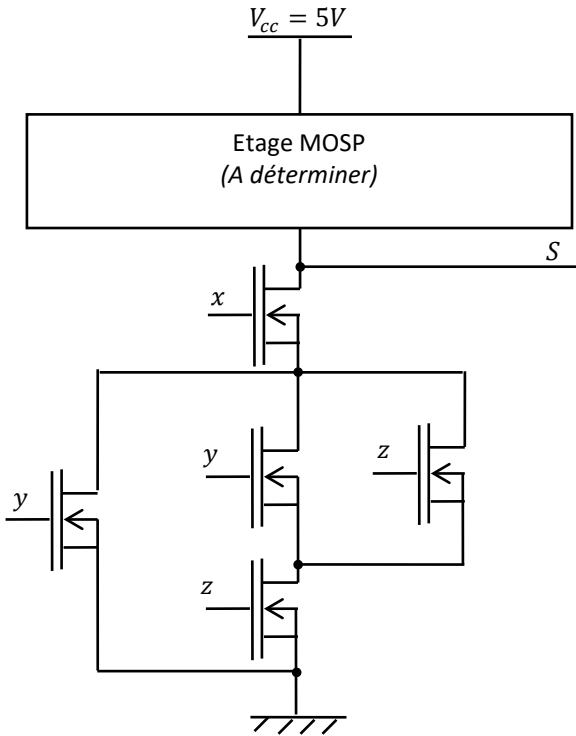
$$\Rightarrow S = \bar{a}.\bar{(b + c + d)}$$



Q4.(7 points)

Soit le montage suivant : Il correspond à une fonction logique réalisée en technologie CMOS.

Déterminer l'équation logique correspondant à cette fonction (justifiez votre réponse), puis, après l'avoir simplifiée (l'équation (!)), redessiner le schéma COMPLET de la porte logique, y compris l'étage MOSP, non dessiné sur le montage initial.



Comme la fonction logique est, par hypothèse, réalisée en technologie CMOS, il y a complémentarité, c'est-à-dire que, si la sortie n'est pas reliée à la masse ($S = 0$), alors, elle ne sera à V_{cc} ($S = 1$).

$S = 0$ si (N_x ET (N_y OU (N_y ET N_z) OU (N_z)) sont conducteurs)

$$\Rightarrow \bar{S} = x \cdot (y + y \cdot z + z)$$

$$\Rightarrow \bar{S} = x \cdot (y + z)$$

$$\Rightarrow S = \bar{x} + \bar{y} \cdot \bar{z}$$

