

S2 – Examen 4

Architecture des ordinateurs

Durée : 1 h 30

Inscrivez vos réponses **exclusivement** sur le document réponse.
Ne pas détailler les calculs sauf si cela est explicitement demandé.
Ne pas écrire à l'encre rouge ni au crayon à papier.

Exercice 1 (7 points)

Répondre aux questions présentes sur le [document réponse](#).

Exercice 2 (4 points)

On souhaite réaliser une mémoire RAM d'une capacité de 128 Mib (que l'on notera M) à l'aide de plusieurs mémoires RAM d'une capacité de 8 Mib (que l'on notera m). La mémoire M possède un bus de donnée de 16 bits et les mémoires m un bus de donnée de 8 bits. Répondez aux questions sur le [document réponse](#).

Exercice 3 (4 points)

Un système à microprocesseur comporte une mémoire morte (ROM), une mémoire vive (RAM) et deux périphériques (**P1** et **P2**). Leurs capacités (en bits) sont respectivement 8 Mib, 32 Kib, 2 Kib et 1 Kib. Le microprocesseur possède un bus d'adresse de 24 bits (les bits d'adresse sont numérotés de $A0$ à $A23$ et $A0$ est le bit poids faible). Tous les composants ont un bus de donnée de 8 bits. La ROM sera située dans les adresses les plus faibles, viendront ensuite la RAM, **P1** et **P2**.

1. Donnez la taille du bus d'adresse de chaque mémoire et de chaque périphérique.

Pour tout le reste de l'exercice, c'est le mode linéaire qui sera utilisé.

2. Donnez les bits de sélection qui serviront au décodage.
3. En tenant compte du signal AS (*Address Strobe*), donnez les expressions des signaux CS pour chaque composant relié au microprocesseur.
4. Donnez les adresses hautes et basses de chaque composant (vous utiliserez la représentation hexadécimale à 6 chiffres).

Exercice 4 (5 points)

Un système à microprocesseur comporte une mémoire morte (ROM), une mémoire vive (RAM) et deux périphériques (**P1** et **P2**). Leurs capacités (en octets) sont respectivement 128 Kio, 16 Kio, 4 Kio et 1024 octets. Le microprocesseur possède un bus d'adresse de 20 bits (les bits d'adresse sont numérotés de $A0$ à $A19$ et $A0$ est le bit poids faible). Tous les composants ont un bus de donnée de 8 bits. La ROM sera située dans les adresses les plus faibles, viendront ensuite la RAM, **P1** et **P2**.

1. Donnez la taille du bus d'adresse de chaque mémoire et de chaque périphérique.
2. Est-il possible de réaliser un décodage de type linéaire ?

Pour tout le reste de l'exercice, c'est le mode zone qui sera utilisé avec le moins de zones possible.

3. Donnez les bits de sélection qui serviront au décodage.
4. En tenant compte du signal AS (*Address Strobe*), donnez les expressions des signaux CS pour chaque composant relié au microprocesseur.
5. Donnez les adresses hautes et basses de chaque composant (vous utiliserez la représentation hexadécimale à 5 chiffres).
6. Quelle est la redondance (le nombre d'images) des différents composants ?