

Nom : Prénom : Classe :

DOCUMENT RÉPONSE À RENDRE

Exercice 1

1.

Q2	Q1	Q0	D2	D1	D0
1	1	1			
1	0	1			
1	0	0			
0	1	1			
0	1	0			
0	0	1			
0	0	0			

2.

		Q1 Q0				
		D0	00	01	11	10
Q2	0					
	1					

D0 =

		Q1 Q0				
		D1	00	01	11	10
Q2	0					
	1					

D1 =

		Q1 Q0				
		D2	00	01	11	10
Q2	0					
	1					

D2 =

Exercice 2

<p>1. ROM :</p> <p>RAM :</p> <p>P1 :</p> <p>P2 :</p>	<p>2. Bits de sélection :</p>
------------------------------------------------------	-------------------------------

<p>3. CS_{ROM} =</p> <p>CS_{RAM} =</p>	<p>CS_{P1} =</p> <p>CS_{P2} =</p>
--------------------------------------------------------	---------------------------------------------------

4.

Composant	Adresse basse	Adresse haute
ROM		
RAM		
P1		
P2		

Exercice 3

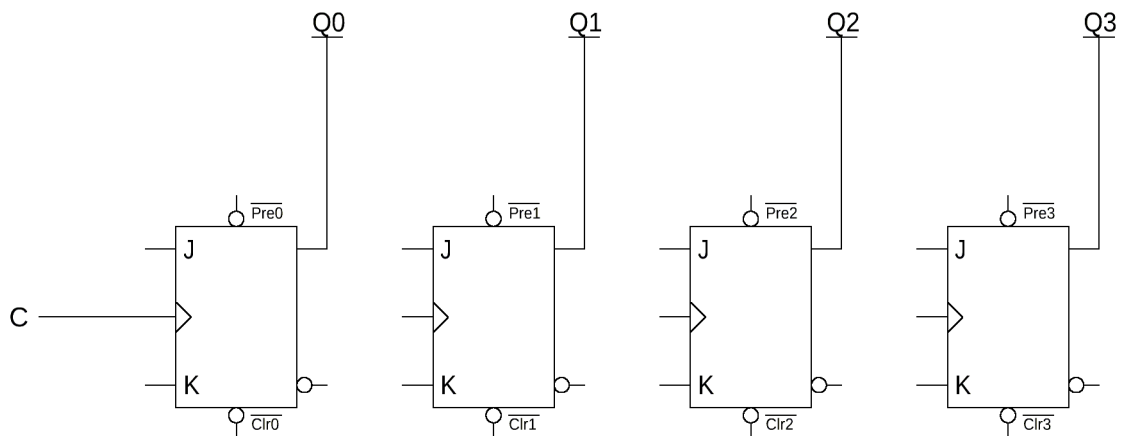


Figure 1

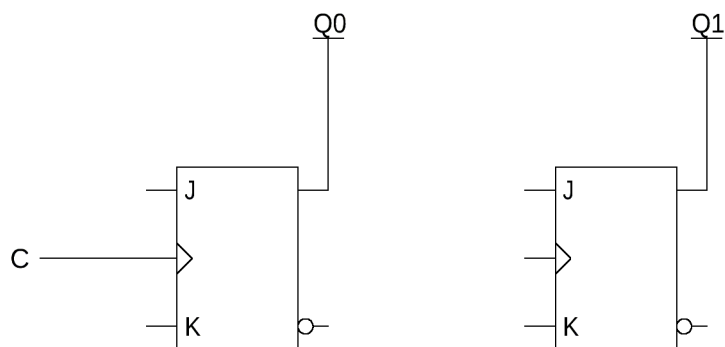


Figure 2

Exercice 4

1.

Nombre	S	E	M
428			
51,078125			

2.

Représentation IEEE 754	Représentation associée
4354000000000000 ₁₆	
0010100000000000 ₁₆	

Exercice 5

Question concernant les mémoires	Réponse
Quel type d'assemblage permet d'augmenter la profondeur ?	
Une mémoire possède une largeur de 4 bits et une capacité de 64 Kio. Combien de fils d'adresse possède cette mémoire ?	
Un mémoire possède un bus de donnée de 8 fils et un bus d'adresse de 15 fils. En puissance de deux, quelle est la capacité en bits de cette mémoire ?	
Une mémoire M1 possède un bus de donnée de 8 fils et un bus d'adresse de 16 fils. On assemble deux mémoires M1 en série pour former une mémoire M2 . Quelle est la taille du bus d'adresse de la mémoire M2 ?	

Si vous manquez de place, vous pouvez utiliser le cadre ci-dessous.