



Partiel Architecture - CORRIGÉ

Les calculatrices et les documents ne sont pas autorisés. Le barème est donné à titre indicatif.

Réponses exclusivement sur le sujet. Si vous manquez de place, vous pouvez utiliser le verso des pages.

Exercice 1. Décodage d'adresses (5,5 points)

Un système à microprocesseur comporte une mémoire vive (RAM), une mémoire morte (ROM) et 2 périphériques (P1 et P2). Leurs capacités (en octets) sont respectivement 1Gio, 2⁷ Mio, 4 Kio et 1 Kio. Le microprocesseur possède un bus d'adresse de 32 bits (les bits d'adresse sont numérotés de A₀ à A₃₁ et A₀ est le bit de poids faible). Tous les composants ont un bus de donnée de 16 bits. La RAM sera située dans les adresses les plus faibles, viendront ensuite la ROM, P1 et P2.

1. Donnez, en le justifiant, le nombre de fils du bus d'adresses de chaque mémoire et périphérique.

On sait que :

- Profondeur = 2^{nbr fils d'@}
- Profondeur = $\frac{\text{Capacité}}{\text{Largeur}}$

- RAM: Prof = $\frac{2^{30} \times 2^3}{2 \times 2^3} = 2^{29}$ mots \Rightarrow 29 fils d'@
- ROM: Prof = $\frac{2^7 \times 2^{20} \times 2^3}{2 \times 2^3} = 2^{26}$ mots \Rightarrow 26 fils d'@
- P₁: Prof = $\frac{2^0 \times 2^{10} \times 2^3}{2 \times 2^3} = 2^{11}$ mots \Rightarrow 11 fils d'@
- P₂: Prof = $\frac{2^{10} \times 2^3}{2 \times 2^3} = 2^9$ mots \Rightarrow 9 fils d'@

2. Peut-on utiliser un décodage de type linéaire et pourquoi ?

Le plus grand bus d'@ contient 29 fils
 Le bus d'@ du μP contient 32 fils \Rightarrow Il reste 3 fils pour la sélection

Gr, on veut connecter 4 composants.
 \Rightarrow ce mode linéaire ne peut pas être utilisé.

Pour la suite c'est le mode zone qui est utilisé avec le moins de zones possibles.

3. Quels bits d'adresse vont servir au décodage, et à quelles combinaisons seront associés les différents composants ?

On doit découper l'espace en 4 zones. Il faut donc utiliser des 2 bits de poids fort du bus d'@ du μP , A_{31} et A_{30}

A_{31}	A_{30}	Comp.	A_{31}	A_{30}	Comp.
0	0	RAN	1	0	P_1
0	1	RO7	1	1	P_2

4. Donnez la représentation de l'espace mémoire avec toutes les adresses remarquables (vous donnerez les adresses en représentation hexadécimale).

RAN: @ basse: \$ 0000 0000
 @ haute: \$ 1FFF FFFF
RO7: @ basse: \$ 4000 0000
 @ haute: \$ 43FF FFFF
 P_1 : @ basse: \$ 8000 0000
 @ haute: \$ 8000 07FF
 P_2 : @ basse: \$ C000 0000
 @ haute: \$ C000 01FF

5. Donnez les équations du CS de chaque mémoire et périphérique.

$$CS_{RAN} = AS \cdot \overline{A_{31}} \cdot \overline{A_{30}}$$

$$CS_{RO7} = AS \cdot \overline{A_{31}} \cdot A_{30}$$

$$CS_{P_1} = AS \cdot A_{31} \cdot \overline{A_{30}}$$

$$CS_{P_2} = AS \cdot A_{31} \cdot A_{30}$$

6. Exprimez la redondance de chaque mémoire et périphérique.

La redondance est le nbr d'@ différentes qui permettent d'accéder au même emplacement. Elle est donc liée au nbr de fils non utilisés du bus d'@ du μP .

Redondance: RAM: $32 - 2 - 29 = 1$ fil non utilisé \Rightarrow Red. = 2

ROM: $32 - 2 - 26 = 4$ fils non utilisés \Rightarrow Red. = 16 (24)

P₁: $32 - 2 - 11 = 19$ fils non utilisés \Rightarrow Red. = 2^{19}

P₂: $32 - 2 - 9 = 21$ fils non utilisés \Rightarrow Red. = 2^{21}

Exercice 2. Associations de mémoires (3,5 points)

1. Si on double le nombre de fils du bus de donnée d'une mémoire, par combien a été multipliée la profondeur de cette mémoire?

Double le nombre de fils du bus de donnée ne modifie pas la profondeur de la mémoire.

2. Si on ajoute deux fils au bus d'adresse d'une mémoire et que l'on triple le nombre de fils de son bus de donnée, par combien a été multipliée la capacité en bits de cette mémoire ?

Si on ajoute 2 fils d'@, on multiplie la profondeur par 2^2 .
Si on triple le nbr. de fils du bus de données, on triple sa largeur. \Rightarrow la capacité est multipliée par 12.

3. On dispose de 16 RAM de 4 Mbits ayant un bus de donnée de 4 bits. Donnez la largeur et la profondeur de toutes les mémoires réalisables avec les différentes combinaisons d'assemblages série et/ou parallèle de ces RAM (dans chaque cas, les 16 RAM seront utilisées).

Caractéristiques de la RAM: largeur: 4 bits
Profondeur: $2^{20} = 1$ Mmot

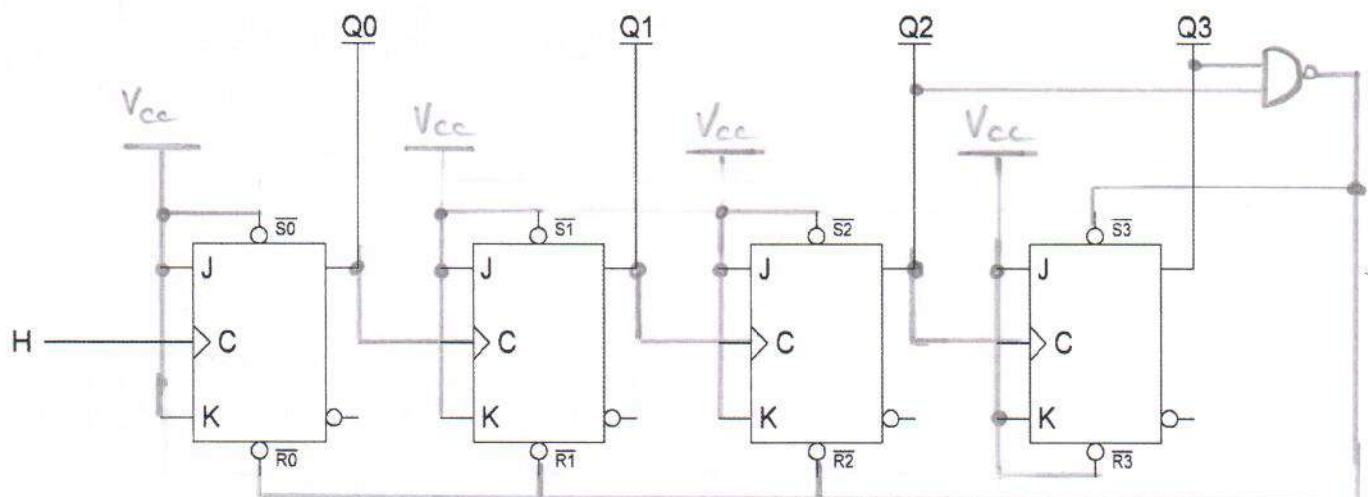
d'assemblage en série permet d'augmenter la profondeur.

d'assemblage en // permet d'augmenter la

Nbr de mémoires		Largeur	Profondeur
En série	En //		
1	16	$16 \times 4 = 64$ bits	171 mots
2	8	$8 \times 4 = 32$ bits	271 mots
4	4	$4 \times 4 = 16$ bits	471 mots
8	2	$2 \times 4 = 8$ bits	871 mots
16	1	$1 \times 4 = 4$ bits	1671 mots

Exercice 3. Compteurs asynchrones (3 points)

Câblez les bascules sur le document réponse afin de réaliser un **décompteur asynchrone modulo 9**. (Les entrées Set et Reset des bascules sont actives à l'état bas.)



Exercice 4. Compteurs synchrones (6 points)

On désire réaliser un compteur ($Compt_1$) synchrone à l'aide de bascules JK synchronisées sur front descendant réalisant la séquence suivante : 0 - 3 - 5 - 3.

On commence par réaliser un compteur ($Compt_2$) synchrone à l'aide de bascules JK synchronisées sur front descendant réalisant la séquence du tableau ci-dessous.

1. Remplissez le tableau ci-dessous.

Q_3	Q_2	Q_1	Q_0	J_3	K_3	J_2	K_2	J_1	K_1	J_0	K_0
0	0	0	0	0	ϕ	0	ϕ	1	ϕ	1	ϕ
0	0	1	1	0	ϕ	1	ϕ	ϕ	1	ϕ	0
0	1	0	1	1	ϕ	ϕ	1	1	ϕ	ϕ	0
1	0	1	1	ϕ	1	0	ϕ	ϕ	1	ϕ	1

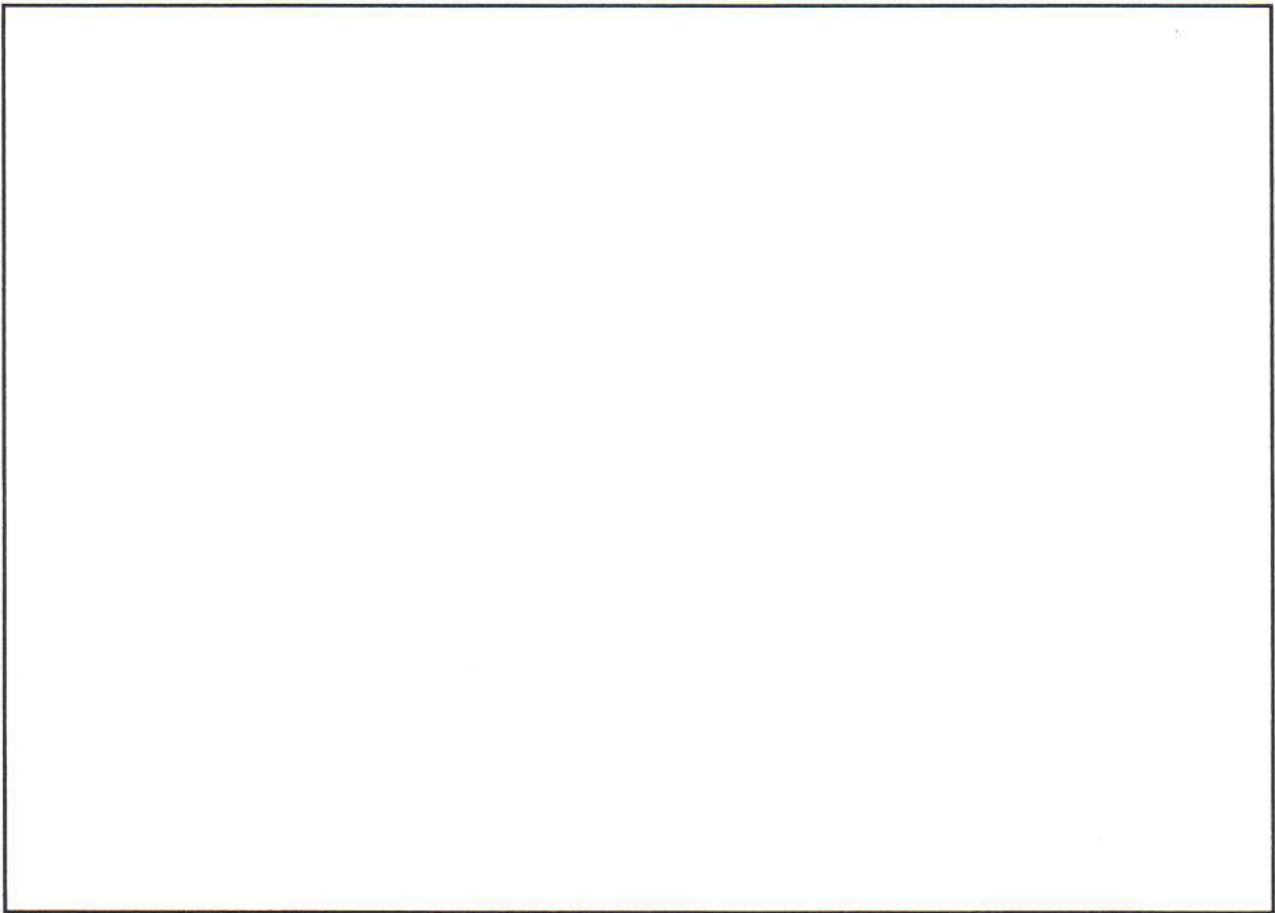
2. Donnez les équations des entrées J_n et K_n des quatre bascules en détaillant vos calculs par des tableaux de Karnaugh pour les solutions qui ne sont pas évidentes.

On appelle solutions évidentes celles qui ne comportent qu'un seul terme (ex : $J_3 = 1$; $K_1 = Q_0$...)

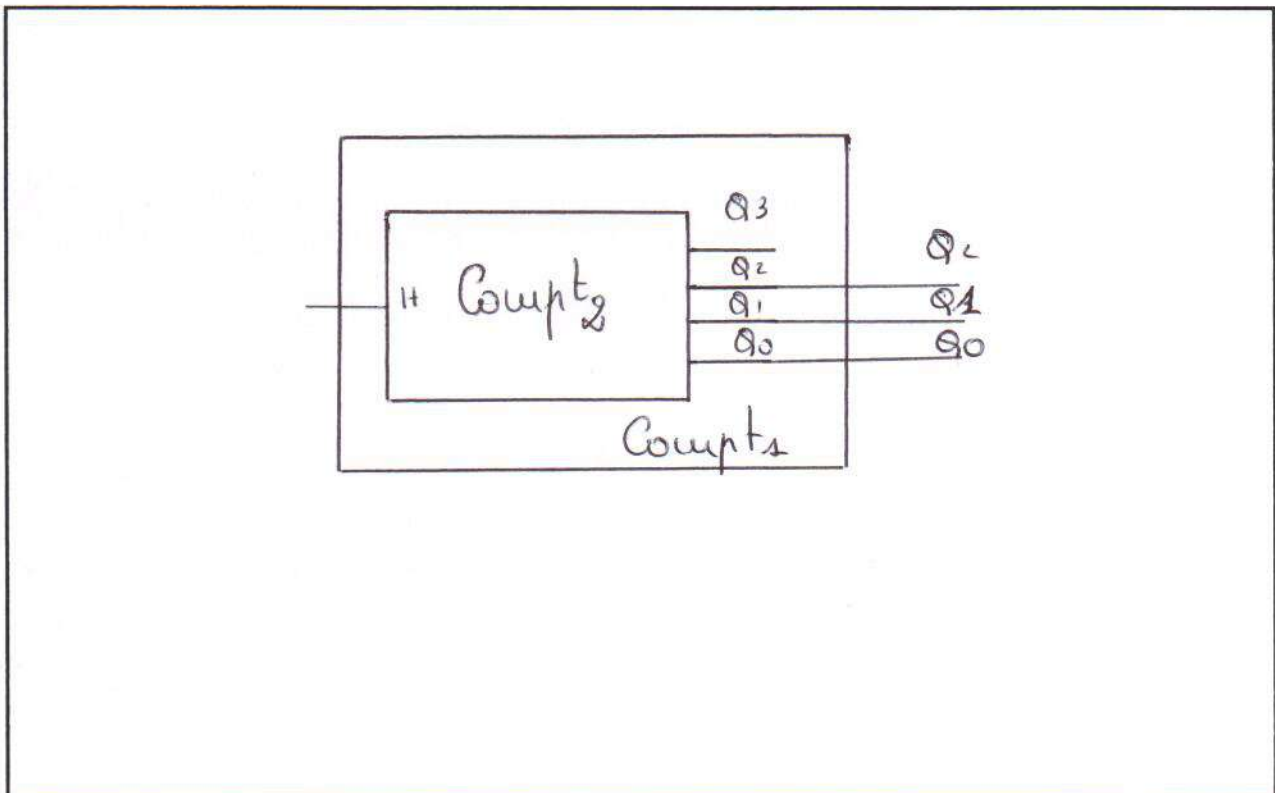
Solutions évidentes: $J_3 = Q_2$ $K_2 = 1$ $J_1 = 1$ $J_0 = 1$
 $K_3 = 1$ $K_1 = 1$ $K_0 = Q_3$

$Q_3 \backslash Q_2$	00	01	11	10
00	0	ϕ	1	ϕ
01	ϕ	ϕ	ϕ	ϕ
11	ϕ	ϕ	ϕ	ϕ
10	ϕ	ϕ	0	ϕ

2 solutions sont possibles:
 • soit on prend la bulle "rose".
 $J_2 = \overline{Q_3} \cdot Q_0$
 • soit on prend la bulle bleue:
 $J_2 = \overline{Q_3} Q_1$



3. Comment construire le compteur $Compt_1$ à partir du compteur $Compt_2$? (Soyez clair et concis dans votre réponse. Vous pouvez faire un schéma en définissant un bloc fonctionnel (symbole) pour $Compt_2$).



Exercice 5. Les flottants IEEE (2 points)

1. Donnez la représentation binaire double précision du nombre suivant : $-128,75$

$$\begin{aligned}
 & \bullet -128,75 < 0 \Rightarrow S = 1 \\
 & \bullet 128,75 = (1000\ 0000,11)_2 \\
 & \quad = 1,000\ 0000\ 11_2 \times 2^{\textcircled{7}} = e \\
 & \Rightarrow \eta = 000\ 0000\ 11\ 00\dots 0_2 \text{ sur } 52 \text{ bits} \\
 & \bullet E = e + \text{biais} = 7 + 1023 = 6 + 1024 = 1000\ 0000\ 110_2 \\
 & \Rightarrow -128,75 = 1\ 1000\ 0000\ 110_2 \underbrace{000\ 0000\ 11\ 000\dots 0_2}_{52 \text{ bits}} \\
 & \quad = C060\ 1800\ 0000\ 0000_{16}
 \end{aligned}$$

2. Donnez la représentation décimale du nombre à virgule flottante IEEE 754 suivant :

$$0003\ 0C00\ 0000\ 0000_{16}$$

Conversion binaire :

$$\begin{array}{cccccccc}
 0000 & 0000 & 0000 & / & 0011 & 0000 & 1100 & 0000 \dots 0000_2 \\
 S & & E & & & & \eta &
 \end{array}$$

$$\bullet S = 0 \Rightarrow \text{Nbre} \geq 0$$

$$\bullet E = 0 \Rightarrow \text{nbr dénormalisé}$$

$$\bullet \eta = 0011\ 0000\ 110\dots_2$$

$$\begin{aligned}
 \Rightarrow N &= (0,0011\ 0000\ 11)_2 \times 2^{-1022} = (1100\ 0011)_2 \times 2^{-1032} \\
 &= 195 \times 2^{-1032}
 \end{aligned}$$

